

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004 年 11 月 4 日 (04.11.2004)

PCT

(10) 国際公開番号  
WO 2004/095464 A1

(51) 国際特許分類<sup>7</sup>: G11C 11/15, H01L 27/10, 43/08

(21) 国際出願番号: PCT/JP2004/005242

(22) 国際出願日: 2004 年 4 月 13 日 (13.04.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願2003-115283 2003 年 4 月 21 日 (21.04.2003) JP

(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).

(72) 発明者: および

(75) 発明者/出願人 (米国についてのみ): 崎村 昇

(SAKIMURA, Noboru) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).  
本田 雄士 (HONDA, Takeshi) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).  
杉林 直彦 (SUGIBAYASHI, Tadahiko) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).

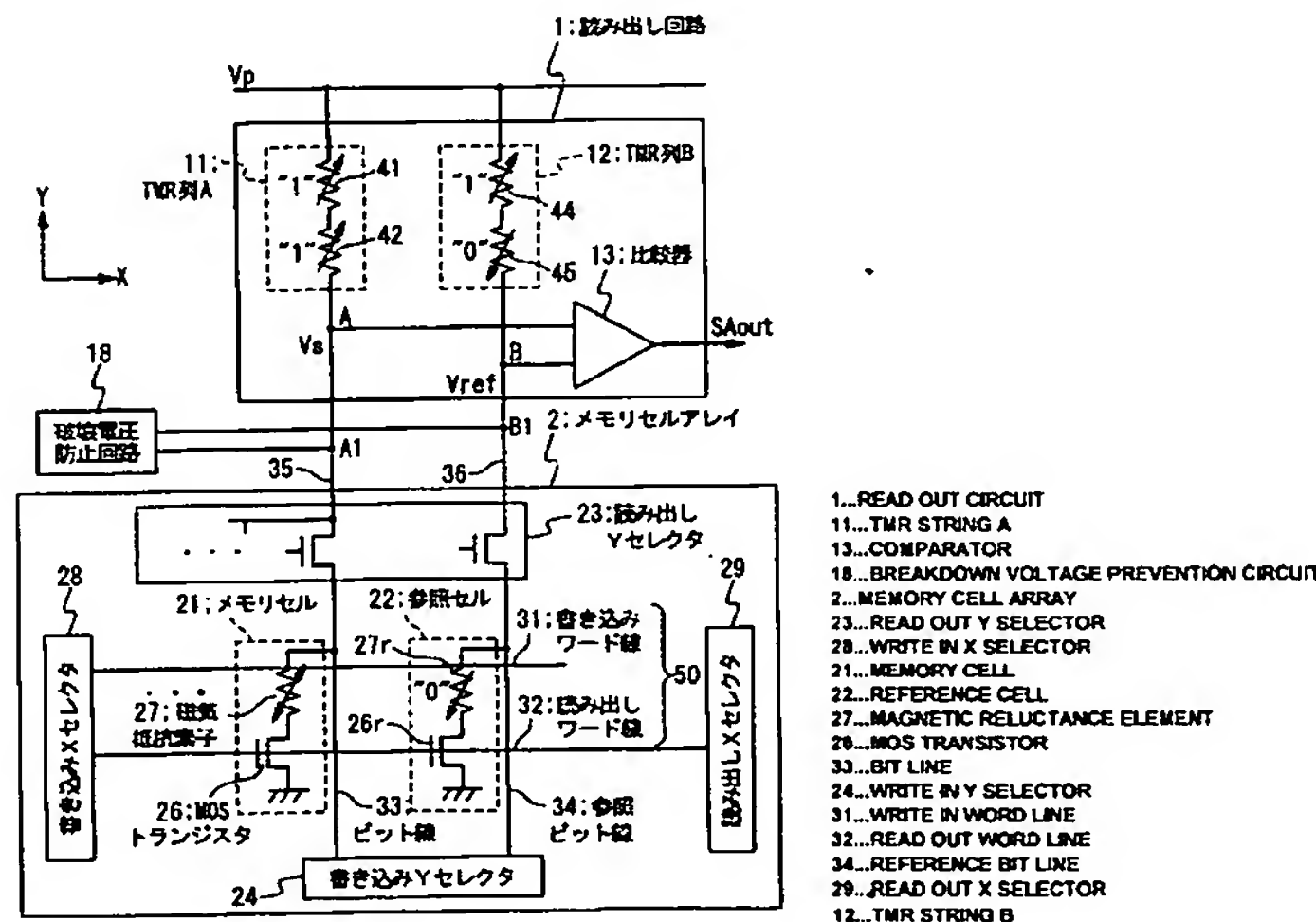
(74) 代理人: 工藤 実 (KUDOH, Minoru); 〒1400013 東京都品川区南大井六丁目 2 4 番 1 0 号 カドヤビル 6 階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,

/続葉有/

(54) Title: MAGNETIC RANDOM ACCESS MEMORY USING IMPROVED DATA READ OUT METHOD

(54) 発明の名称: データの読み出し方法が改善された磁気ランダムアクセスメモリ



(57) Abstract: An MRAM includes a plurality of bit lines (33), a reference bit line (34), a plurality of memory cells (21), a plurality of reference cells (22), and a read out section (1). The bit lines (33) and the reference bit line (34) extend in the Y direction. The memory cell (21) is arranged along the bit lines (33) while the reference cells (22) are arranged along the reference bit line (34). The memory cells (21) and the reference cells (22) respectively include a magnetic reluctance element (27) and a reference magnetic reluctance element (27r) having spontaneous magnetization for reversing the magnetization direction by stored data. The read out section (1) includes: a first resistance section (11) having a 9th terminal connected to the bit line (33s) and a 10th terminal connected to a first power source; a second resistance section (12) having an 11th terminal connected to the reference bit line (34) and a 12th terminal connected to the first power source; and a comparison section (13) for comparing the sense potential Vs of the 9th terminal to the reference potential Vref of the 11th terminal.

/続葉有/